

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339612
 (43)Date of publication of application : 07.12.2001

(51)Int.CI.

H04N 1/417
 H04N 1/00
 H04N 1/21

(21)Application number : 2000-157726

(71)Applicant : RICOH CO LTD

(22)Date of filing : 29.05.2000

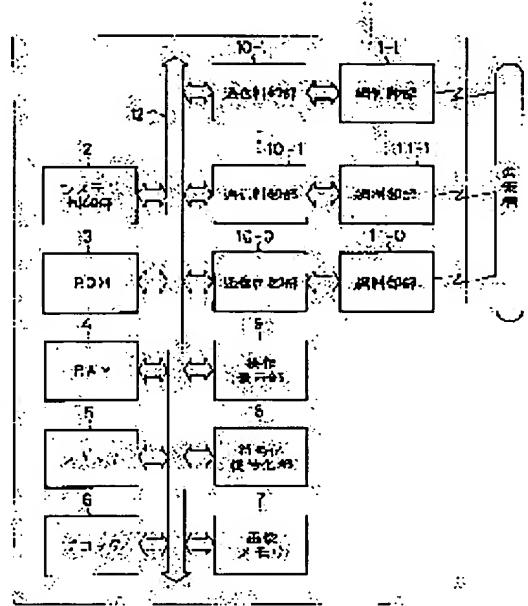
(72)Inventor : GOTOU HIROSUKE

(54) PICTURE INFORMATION COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a picture information communication equipment that can realize multiplex communication with a minimum size of memory.

SOLUTION: An equipment is provided with encoding and decoding devices that are used at the time of communication in each communication unit and perform encoding and decoding of image data, while each device is referring to one or multiple reference lines, and with memory blocks that are shared by the encoding and decoding devices and consist of the necessary number of memory blocks for multiplex communication. Each of the encoding and decoding devices is provided with a dynamic memory allocation management means that allocates for a reference line maintenance a vacant block out of each memory block composing the above memory blocks when operation is started and cancels allocation of the memory block used so far when operation is finished.



LEGAL STATUS

[Date of request for examination] 21.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-339612

(P2001-339612A)

(43)公開日 平成13年12月7日 (2001.12.7)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 04 N 1/417		H 04 N 1/417	5 C 0 6 2
1/00	1 0 2	1/00	1 0 2 Z 5 C 0 7 3
1/21		1/21	5 C 0 7 8

審査請求 未請求 請求項の数 7 O L (全 11 頁)

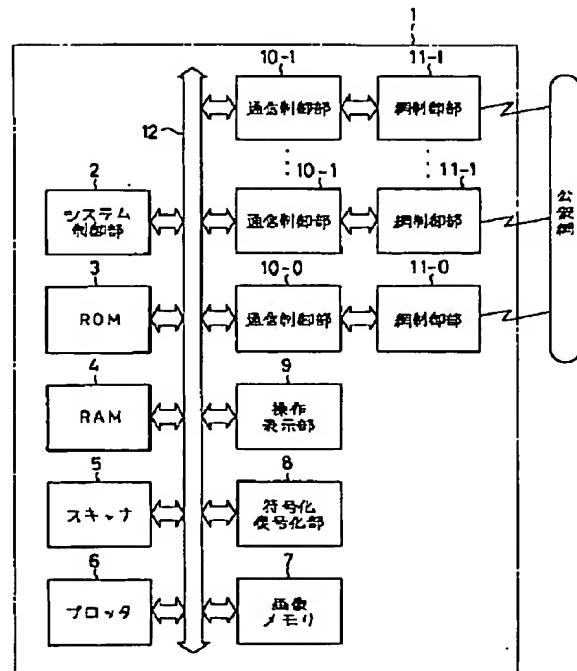
(21)出願番号	特願2000-157726(P2000-157726)	(71)出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日	平成12年5月29日 (2000.5.29)	(72)発明者	後藤 寛介 東京都大田区中馬込1丁目3番6号 株式会社リコー内
		(74)代理人	100083231 弁理士 紋田 誠 Fターム(参考) 50062 AA02 AA30 AB38 AB43 AB53 AC25 AC44 BA00 50073 AA01 AA04 BA02 CD01 CE01 50078 BA26 BA27 BA57 CA27 DA01 DA02

(54)【発明の名称】 画情報通信装置

(57)【要約】

【課題】 必要最低限のメモリ容量で多重通信を実現することができる画情報通信装置を提供すること。

【解決手段】 各通信ユニットにおける通信時に使用され、それぞれが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、それら符号化復号化器により共用される、多重通信に必要な数のメモリブロックにより構成されるメモリブロック群と、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリブロック群を構成する各メモリブロックのうちの空いているものを参照ライン保持用に割り付ける一方、動作終了時に、それまで使用せていたメモリブロックの割り付けを解除する動的メモリ割付管理手段とを備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、

前記各通信ユニットにおける通信時に使用され、それが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な数のメモリブロックにより構成されるメモリブロック群と、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリブロック群を構成する各メモリブロックのうちの空いているものを参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていたメモリブロックの割り付けを解除する動的メモリ割付管理手段とを備えたことを特徴とする画情報通信装置。

【請求項2】 複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、

前記各通信ユニットにおける通信時に使用され、それが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な数の1ライン分の容量のメモリブロックにより構成されるメモリブロック群と、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリブロック群を構成する各メモリブロックのうちの空いているものを、前記各符号化復号化器の符号化復号化方式に応じて必要となるライン数分だけ参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていたメモリブロックの割り付けを解除する動的メモリ割付管理手段とを備えたことを特徴とする画情報通信装置。

【請求項3】 複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、

前記各通信ユニットにおける通信時に使用され、それが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な数の所定の主走査幅で所定の最低主走査画素密度の1ライン分の容量のメモリブロックにより構成されるメモリブロック群と、前記各符号化復号化器のそれぞれについて、動

作開始時に、前記メモリブロック群を構成する各メモリブロックのうちの空いているものを、前記各符号化復号化器の符号化復号化方式及び符号化復号化対象画像データの主走査画素密度に応じて必要となるライン数分だけ参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていたメモリブロックの割り付けを解除する動的メモリ割付管理手段とを備えたことを特徴とする画情報通信装置。

【請求項4】 複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、

前記各通信ユニットにおける通信時に使用され、それが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な容量のメモリと、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリの記憶領域のうちの空き領域を参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていた記憶領域の割り付けを解除すると共に、前記各符号化復号化器の前記メモリへのアクセスを調停して順番にアクセスさせる動的メモリ割付管理手段とを備えたことを特徴とする画情報通信装置。

【請求項5】 複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、

前記各通信ユニットにより使用され、それが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な容量のメモリと、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリの記憶領域のうちの空き領域を前記各符号化復号化器の符号化復号化方式に応じて必要となるライン数分だけ参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていた記憶領域の割り付けを解除すると共に、前記各符号化復号化器の前記メモリへのアクセスを調停して順番にアクセスさせる動的メモリ割付管理手段とを備えたことを特徴とする画情報通信装置。

【請求項6】 複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、

前記各通信ユニットにおける通信時に使用され、それぞれが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な容量のメモリと、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリの記憶領域のうちの空き領域を前記各符号化復号化器の符号化復号化方式及び符号化復号化対象画像データの主走査画素密度に応じて必要となるライン数分だけ参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていた記憶領域の割り付けを解除すると共に、前記各符号化復号化器の前記メモリへのアクセスを調停して順番にアクセスさせる動的メモリ割付管理手段とを備えたことを特徴とする画情報通信装置。

【請求項7】 前記各符号化復号化器には、複数の符号化復号化対象画像データを時分割処理して複数の論理チャネルの符号化復号化処理を行うものがふくまれる一方、前記動的メモリ割付管理手段は、複数の論理チャネルの符号化復号化処理を行う符号化復号化器については、各論理チャネルを個別の符号化復号化器とみなして前記メモリブロックの割付・解放を行うものであることを特徴とする請求項1、2、3、4、5または6のいずれかに記載の画情報通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、G3ファクシミリ装置、G4ファクシミリ装置、ネットワークファクシミリ装置等の画情報通信装置に関し、特に、複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置に関する。

【0002】

【従来の技術】 従来のファクシミリ装置等の画情報通信装置に搭載される、符号化復号化器は、画像データの符号化・復号化を行う際に、符号化効率の向上のために、現在処理中のラインに属する画素のみならず、隣接する1つまた複数のラインに属する隣接画素も参照して符号化復号化を行う必要があるため、内部または外部に、参照ライン保持のためのメモリを必要とする。具体的には、例えば、G3ファクシミリ等に適用される、MH方式では、一次元符号化方式なので参照ラインを必要としないが、二次元符号化方式であるMR、MMR方式では、現ラインの直前の1ラインを参照する必要があり、同じく、JBIG方式では、現ラインの直前の2または3ラインを参照する必要がある。

【0003】 また、通常のファクシミリ装置等の画情報通信装置においては、網制御部、モデムを含む通信制御

部等の相手先との通信に必要な通信ユニットを、1ユニットのみ備え、同時に1つの送信または受信の通信にのみ対応できるものが普通であるが、複数の通信ユニットを備え、同時に複数の送信または受信の通信に対応した多重通信が可能なものもある。

【0004】 一方、特定の通信ユニットを使用して行われる実際の通信時における符号化方式は、相手先装置が対応している符号化復号化方式に適合させる必要があるため、特定の通信ユニットを使用して行われる通信において実行される可能性のある各方式用の符号化復号化器を備える必要があり、全通信ユニット数以上の符号化復号化器が必要となる。

【0005】

【発明が解決しようとする課題】 そのため、通信ユニットにより使用中でない符号化復号化器用の参照ライン保持のためのメモリは未使用状態となり、参照ライン保持用のメモリを有効利用できないという問題点があった。

【0006】 もっとも、異なる符号化方式の参照ラインを共通のメモリ領域に割り付ける技術は知られてはいるが（例えば、特開平11-122498号公報参照）、その公知技術では、参照ライン保持用のメモリを、多数の符号化復号化器により共有使用することはできない。

【0007】 本発明は係る事情に鑑みてなされたものであり、必要最低限のメモリ容量で多重通信を実現することができる画情報通信装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記目的を達成するため、請求項1に記載の画情報通信装置は、複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、前記各通信ユニットにおける通信時に使用され、それぞれが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な数のメモリブロックにより構成されるメモリブロック群と、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリブロック群を構成する各メモリブロックのうちの空いているものを参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていたメモリブロックの割り付けを解除する動的メモリ割付管理手段とを備えたことを特徴とする。

【0009】 請求項2に記載の画情報通信装置は、複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復

号化して元の画像データを得る多重通信が可能な画情報通信装置において、前記各通信ユニットにおける通信時に使用され、それぞれが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な数の1ライン分の容量のメモリブロックにより構成されるメモリブロック群と、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリブロック群を構成する各メモリブロックのうちの空いているものを、前記各符号化復号化器の符号化復号化方式に応じて必要となるライン数分だけ参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていたメモリブロックの割り付けを解除する動的メモリ割付管理手段とを備えたことを特徴とする。

【0010】請求項3に記載の画情報通信装置は、複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、前記各通信ユニットにおける通信時に使用され、それぞれが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な数の所定の主走査幅で所定の最低主走査画素密度の1ライン分の容量のメモリブロックにより構成されるメモリブロック群と、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリブロック群を構成する各メモリブロックのうちの空いているものを、前記各符号化復号化器の符号化復号化方式及び符号化復号化対象画像データの主走査画素密度に応じて必要となるライン数分だけ参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていたメモリブロックの割り付けを解除する動的メモリ割付管理手段とを備えたことを特徴とする。

【0011】請求項4に記載の画情報通信装置は、複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、前記各通信ユニットにおける通信時に使用され、それぞれが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な容量のメモリと、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリの記憶領域のうちの空き領域を参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていた記憶領域の割り付けを解除すると共に、前記各符号化復号化器の前記メモリへのアクセスを調停して順番にアクセスさせる動的メモリ割付管理手段とを備えたことを特徴とする。

記メモリへのアクセスを調停して順番にアクセスさせる動的メモリ割付管理手段とを備えたことを特徴とする。

【0012】請求項5に記載の画情報通信装置は、複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、前記各通信ユニットにより使用され、それぞれが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な容量のメモリと、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリの記憶領域のうちの空き領域を前記各符号化復号化器の符号化復号化方式に応じて必要となるライン数分だけ参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていた記憶領域の割り付けを解除すると共に、前記各符号化復号化器の前記メモリへのアクセスを調停して順番にアクセスさせる動的メモリ割付管理手段とを備えたことを特徴とする。

【0013】請求項6に記載の画情報通信装置は、複数の通信ユニットを備え、それらの各通信ユニットを使用して、画像データを所定の符号化方式で符号化して得られた符号化画像データを相手先に送信する一方、相手先から受信した符号化画像データを所定の復号化方式で復号化して元の画像データを得る多重通信が可能な画情報通信装置において、前記各通信ユニットにおける通信時に使用され、それぞれが1または複数の参照ラインを参照して画像データの符号化・復号化を行う符号化復号化器群と、前記各符号化復号化器により共用される、多重通信に必要な容量のメモリと、前記各符号化復号化器のそれぞれについて、動作開始時に、前記メモリの記憶領域のうちの空き領域を前記各符号化復号化器の符号化復号化方式及び符号化復号化対象画像データの主走査画素密度に応じて必要となるライン数分だけ参照ライン保持用に割り付ける一方、動作終了時に、それまで使用させていた記憶領域の割り付けを解除すると共に、前記各符号化復号化器の前記メモリへのアクセスを調停して順番にアクセスさせる動的メモリ割付管理手段とを備えたことを特徴とする。

【0014】請求項7に記載の画情報通信装置は、請求項1、2、3、4、5または6のいずれかに記載の画情報通信装置において、前記各符号化復号化器には、複数の符号化復号化対象画像データを時分割処理して複数の論理チャネルの符号化復号化処理を行うものがふくまれる一方、前記動的メモリ割付管理手段は、複数の論理チャネルの符号化復号化処理を行う符号化復号化器については、各論理チャネルを個別の符号化復号化器とみなして前記メモリブロックの割付・解放を行うものであるこ

とを特徴とする。

とを特徴とする。

【0015】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を詳細に説明する。

【0016】先ず、図1は、本発明の実施の形態に係る画像処理装置としてのファクシミリ装置1のブロック構成を示している。

【0017】同図において、ファクシミリ装置1は、システム制御部2、ROM3、RAM4、スキャナ5、プロッタ6、画像メモリ7、符号化復号化部8、操作表示部9、10-0ないし10-1の複数の通信制御部、11-0ないし11-1の複数の網制御部、及び、システムバス12により構成されている。なお、通信制御部10-p及び網制御部11-p(p=0, …, 1)の組は、通信ユニットを構成している。

【0018】システム制御部2は、ROM3書き込まれた制御プログラムに従って、RAM4を作業領域として使用しながら、装置各部を制御するマイクロコンピュータである。

【0019】ROM3は、前述したように、システム制御部2が上記装置各部を制御するための制御プログラムやデータテーブルが記憶されているリードオンリメモリである。

【0020】RAM4は、前述したようにシステム制御部2の作業領域として使用されるランダムアクセスメモリである。なお、RAM4は、図示しないバックアップ用回路によりバックアップされており、装置電源遮断時にも記憶内容は保持される。

【0021】スキャナ5は、原稿画像を、図示しないラインイメージセンサにより1主走査ライン単位で光学的にスキャンして得られた画像データに画像処理を施し2値化してシステムに渡すためのものである。

【0022】プロッタ6は、受信した画像データを、記録出力したり、スキャナ5で読み取った画像データを、記録出力(コピー動作)したりして、画像データを物理的にイメージ化するためのものである。

【0023】画像メモリ7は、スキャナ5で読み取った画像データを、メモリ送信するために一時的にファイルとして蓄積したり、受信した画像データを、プロッタ6により記録するまでファイルとして一時的に蓄積したりするためのものである。

【0024】符号化復号化部8は、送信画像データを、G3ファクシミリに適合する、MH符号化方式、MR符号化方式、MMR符号化方式、JPEG符号化方式等の所定の符号化方式で符号化圧縮する一方、受信画像データをMH符号化方式、MR符号化方式、MMR符号化方式、JPEG符号化方式等に対応する所定の復号化方式で復号伸長するものである。

【0025】操作表示部9は、相手先ファクシミリ番号を指定するためのテンキー、送信スタートキー、ワンタ

ツチダイヤルキー、ファンクションキー、及び、その他各種キーが配設される一方、液晶表示装置等の表示器を備え、ユーザに知らせるべき装置の動作状態や、各種メッセージを表示するものである。

【0026】通信制御部10-p(p=0, …, 1)は、互いに同一構成で、それぞれ、G3モデル機能を含み、それぞれ網制御部11-p(p=0, …, 1)を介して公衆網に送信するデータを変調する一方、網制御部11-p(p=0, …, 1)を介して公衆網から受信した信号を復調するものである。また、通信制御部10-p(p=0, …, 1)は、ダイヤル番号に対応してDTMF信号の送出も行う。網制御部11-p(p=0, …, 1)は、公衆網に接続されて、通信制御部10-p(p=0, …, 1)への回線接続制御や、回線の直流ループの閉結・解放や、回線の極性反転の検出、回線解放の検出、発信音の検出、ビジートーン(話し中)等のトーン信号の検出、呼出信号の検出等の回線との接続制御や、ダイヤルパルスの生成を行うものである。システムバス12は、上記各部がデータをやり取りするための信号ラインである。

【0027】以上のように構成されるファクシミリ装置1は、通信制御部10-p及び網制御部11-p(p=0, …, 1)により構成される複数(1+1個)の通信ユニットのそれぞれが並行して同時に送信または受信の通信を行うことが可能である。

【0028】そのため、符号化復号化部8は、各通信ユニットをそれぞれ使用した画像データの送受信に伴う符号化・復号化に対応するため、複数チャンネルの符号化・復号化の同時的を行う必要があり、また、各通信ユニットを使用した通信において複数の符号化復号化方式のうちのいずれかが適用される可能性があるため、1通信ユニット当たり、符号化復号化方式が異なる複数の符号化復号化器を備える必要があり、通信ユニット数以上の数の符号化復号化器を備える必要がある。

【0029】以下、本実施の形態に係る符号化復号化部8の構成の第1ないし第5例について説明する。

【0030】先ず、第1例の符号化復号化部8について説明する。

【0031】図2に、第1例に係る符号化復号化部8の具体的な構成について示す。

【0032】同図において、DCR81-0ないしDCR81-nの各符号化復号化器は、各通信ユニットにおける画像データの送受信に関連してシステムバス12を介して入力される未符号化画像データを符号化して得られる符号化後画像データをシステムバス12を介して出力し、または、システムバス12を介して入力される符号化画像データを復号化して得られる画像データをシステムバス12を介して出力する。なお、以後の説明で、DCR81-0ないしDCR81-nを特に区別しない場合には単にDCR81と称する。他の構成についても

同様である。

【0033】各DCR81としては、1次元、2次元符号化を行うDCRと、JBIG符号化を行うDCR等、符号化方式の異なるものが個別に搭載され、装置に要求される多重通信数に必要な数が搭載される。

【0034】各DCR81は、符号化・復号化の際に参照するラインメモリが格納される、各DCR81で共用のメモリブロック86-0ないし86-mの各メモリブロックに、メモリ管理部80を介して参照ラインデータの入出力アクセスを行う。

【0035】メモリ管理部80は、DCR81-0ないし81-nのそれぞれに対応したストローブ生成部82-0ないし82-nとアドレス生成部83-0ないし83-nを備え、また、マルチプレクサ85及びメモリ設定レジスタ84を備えていて、各メモリブロック83の各DCR81への動的な割付及び割付解除を行う。

【0036】メモリ設定レジスタ84は、システム制御部2からアクセスされて設定されるもので、搭載されるメモリブロック86-0ないし86-mの数と同数の設定ワード数を持ち、各メモリブロック86と1対1に対応していて、該当するメモリブロック86をどのDCR81に割り当てて使用させるかを設定するものである。

【0037】システム制御部2は、多重通信の状況に応じて、使用開始しようとするDCR81についてメモリ設定レジスタ84に使用するメモリブロック86を設定し、使用終了したDCR81については、それまで使用していたメモリブロック86に対応してメモリ設定レジスタ84に「未使用」を示す番号を設定して、割り付けを解除する。

【0038】なお、DCR81より参照される1つまたは複数の参照ライン記憶のためのメモリブロック86の総数(m+1)は、DCR81の総数(n+1)とは同数ではなく、それよりも少ない、多重通信に必要な数である。また、各メモリブロック86は、符号化復号化方式の違いから参照ライン数が異なり得る各DCR81の全てに割り付けられる可能性があるため、各DCR81のうちの参照ライン数が最多のものに対応できるように、その参照ライン数が最も多くのものを必要とするライン数分の容量を備える。

【0039】図3に第1例におけるメモリ設定レジスタ84の設定例を示す。同図においては、メモリブロック86-0に対応する設定レジスタ0に、DCR81-2を示す設定番号がライトされて、メモリブロック86-0をDCR81-2に割り付けている。未使用的メモリブロック86については、設定レジスタには未使用を示す設定番号がライトされて、未使用的メモリブロック86を識別可能としている。

【0040】図2に戻って、マルチプレクサ85は、各メモリブロック86のデータバスDATA、アドレスバスADD、チップセレクト信号CS、リード信号RD及

びライト信号WRの各信号に、メモリ設定レジスタ84に設定されているDCR81から直接入出力されるデータバスDATA、当該DCR81に対応するストローブ生成部82から入力されるリード信号RD及びライト信号WR、当該DCR81に対応するアドレス生成部83からの入力されるチップセレクト信号CS及びアドレスバスADDの各信号を切換接続する。

【0041】それにより、メモリ設定レジスタ84により特定のメモリブロック86が割り付けられたDCR81は、データバスDATAが当該特定のメモリブロック86に接続された状態で、リクエスト信号REQを出し、対応するストローブ生成部82からのアックノリッジ信号ACKによりデータバスDATA上のデータの書き込み読み込みを行う。なお、DCR81が複数の参照ラインをもつ場合は同数のリクエスト信号REQ及びアックノリッジ信号ACKが存在する。

【0042】ストローブ生成部82は、対応するDCR81からのデータ転送のリクエスト信号REQからリード信号RD及びライト信号WRを生成し、また、アックノリッジ信号ACKの返す。アドレス生成部83は、チップセレクト信号CSを出力する一方、アドレスバスADDに対して、リード、ライト動作毎のストローブ生成部82からのタイミングでカウンタをインクリメントし下位アドレスを生成すると共に、対応するDCR81が参照ラインを複数もつ場合は、DCR81からのリクエスト信号REQの種類により上位アドレスを切り替え、DCR81からのラインエンド信号ENDによりアドレスをリセットする。

【0043】このように、第1例によれば、DCR81の総数よりも少ない、多重通信数に見合う数だけのメモリブロック86を各DCR81に必要に応じて割り付けて共有することができるようになる。

【0044】次に第2例に係る符号化復号化部8について説明する。

【0045】この第2例の符号化復号化部8の構成は、図2に示した第1例に係るものと同一ブロック構成で、その細部構成と動作のみが異なる。

【0046】つまり、各メモリブロック86の容量は、参考ライン1ライン分の容量を持ち、それらのメモリブロック86は、多重通信に必要な数だけ備わっている。また、メモリ設定レジスタ54が、各DCR81の符号化方式によって必要な数だけ参考ライン保持用のメモリブロック86を割り付ける。

【0047】図4に第2例におけるメモリ設定レジスタ84の設定例を示す。同図においては、メモリブロック86-0及び86-1にそれぞれ対応する設定レジスタ0及び1に、DCR81-2を示す設定番号がライトされて、メモリブロック86-0及び86-1をDCR81-2に必要な2ライン分の参考ライン用に割り付けている。

【0048】また、マルチプレクサ85は、各メモリブロック86のデータバスDATA、アドレスバスAD D、チップセレクト信号CS、リード信号RD及びライト信号WRの各信号に、メモリ設定レジスタ84に設定されているDCR81から直接入出力されるデータバス DATA、当該DCR81に対応するストローブ生成部82から入力されるリード信号RD及びライト信号WR、当該DCR81に対応するアドレス生成部83からの入力されるチップセレクト信号CS及びアドレスバス ADDの、各信号を切換接続するのは第1例と同様であるが、図4に示したように、特定のDCR81、ストローブ生成部82及びアドレス生成部83の組が、複数のメモリブロック86と接続される場合もある。

【0049】また、アドレス生成部83は、リード、ライト動作毎のストローブ生成部82からのタイミングでカウンタをインクリメントしアドレスを生成すると共に、対応するDCR81が参照ラインを複数もつ場合は、DCR81からのリクエスト信号REQの種類によりメモリブロック86を切り替える。なお、メモリブロック86の切り替えは異なるチップセレクト信号CSを発生することによりマルチプレクサ85で行われる。

【0050】このように、第2例によれば、多重通信数に見合う数だけの、参照ライン1ライン分の容量のメモリブロック86を各DCR81が必要とする本数だけ必要に応じて割り付けて共有することができるようになる。

【0051】次に第3例に係る符号化復号化部8について説明する。

【0052】この第3例の符号化復号化部8の構成は、図2に示した第1例に係るものと同一ブロック構成で、その細部構成と動作のみが異なる。

【0053】つまり、各メモリブロック86の容量は、装置に要求される主走査方向の最大サイズで画素密度200dpi分の容量を持ち、それらのメモリブロック86は、多重通信に必要な数だけ備わっている。また、メモリ設定レジスタ54が、各DCR81の符号化方式と主走査画素密度によって必要な数だけのメモリブロック86を割り付ける。例えば、必要な参照ライン数が2本で、符号化・復号化対象の画像データの主走査画素密度が400dpiであれば、4個のメモリブロック86が割り付けられることになる。

【0054】また、マルチプレクサ85は、各メモリブロック86のデータバスDATA、アドレスバスAD D、チップセレクト信号CS、リード信号RD及びライト信号WRの各信号に、メモリ設定レジスタ84に設定されているDCR81から直接入出力されるデータバス DATA、当該DCR81に対応するストローブ生成部82から入力されるリード信号RD及びライト信号WR、当該DCR81に対応するアドレス生成部83からの入力されるチップセレクト信号CS及びアドレスバス

ADDの、各信号を切換接続するのは第1例と同様であるが、特定のDCR81、ストローブ生成部82及びアドレス生成部83の組が、複数のメモリブロック86と接続される場合もある。

【0055】また、アドレス生成部83は、リード、ライト動作毎のストローブ生成部82からのタイミングでカウンタをインクリメントしアドレスを生成すると共に、対応するDCR81の参照ラインが、200dpiを越える場合は、カウンタフルの時にメモリブロックを切り替え、対応するDCR81が参照ラインを複数もつ場合は、DCR81からのリクエスト信号REQの種類によりメモリブロック86を切り替える。なお、メモリブロック86の切り替えは異なるチップセレクト信号CSを発生することによりマルチプレクサ85で行われる。

【0056】このように、第3例によれば、多重通信数に見合う数だけの、最大主走査サイズで200dpiの主走査画素密度に相当する画素数分の単位容量のメモリブロック86を各DCR81が必要とする本数だけ必要に応じて割り付けて共有することができるようになる。

【0057】次に第4例に係る符号化復号化部8について説明する。

【0058】この第4例は第3例の変形例で、その第4例の符号化復号化部8の構成は、図5に示すもので、図2に示した第3例に係るものとは、メモリ管理部80が調停部88を備えた点と、多数のメモリブロック86をメモリ87に統合して、データバスDATA、アドレスバスADD、チップセレクトCS、リードRD、ライトWRの各制御信号を大幅に省いた点が異なっている。なお、メモリ87に各DCR81が同時にアクセスすることはできないため、その調停は調停部88により行われる。

【0059】図5において、メモリ87は、各DCR81が参照する参照ラインを保持するための共用のメモリで、多重通信に必要なだけの容量を持つ。メモリ87は、装置に要求される主走査方向の最大サイズで画素密度200dpi分の容量を単位として分割利用される。また、メモリ設定レジスタ84が、各DCR81の符号化方式と主走査画素密度によって必要となる容量分のメモリブロックをメモリ87から確保する。例えば、必要な参照ライン数が2本で、符号化・復号化対象の画像データの主走査画素密度が400dpiであれば、4つのメモリブロックが割り付けられることになる。

【0060】調停部88は、各DCR81からのリクエスト信号REQから1つを選択し、各ストローブ生成部82のうちの選択したリクエスト信号REQのDCR81に対応するものに対してのみメモリセレクト信号MSELを発生する。調停部88は、リクエスト信号REQが複数発生している場合は、優先回路、順序回路等にて1つのリクエストのみを選択する。そして、選択し

たりクエスト信号REQのDCR81に対して、アックノリッジ信号ACKを発生しデータ転送を行なう事を通知する。

【0061】また、アドレス生成部83は、リード、ライト動作毎のストローブ生成部82からのタイミングでカウンタをインクリメントし下位アドレスを生成するが、チップセレクト信号CSは発生しない。対応するDCR81の参照ラインが、200dpiを越える場合は、カウンタフルの時に、メモリブロックを切り替え、対応するDCR81が参照ラインを複数もつ場合は、DCR81からのリクエスト信号REQの種類によりメモリブロックを切り替えるが、そのメモリ87上に構成される仮想的なメモリブロックの切り替えは、異なる上位アドレスを発生することによりマルチプレクサ85に行われる。

【0062】このように、第4例によれば、多重通信数に見合う容量の、最大主走査サイズで200dpiの主走査画素密度に相当する画素数分の単位容量のメモリブロックを仮想的にメモリ87上に構成して、各DCR81が必要とする本数だけ必要に応じて割り付けて共有することができるようになる。なお、第4例と同様の単一のメモリ87をメモリブロック構成用に共有する構成は、第1例または第2例にも同様に適用可能である。

【0063】次に第5例に係る符号化復号化部8について説明する。

【0064】この第5例は第4例の変形例で、その第5例の符号化復号化部8の構成は、図6に示すもので、図5に示した第4例に係るものとは、各DCR81の中に、複数の論理チャンネルで符号化・復号化を行うものが含まれ、その複数の論理チャンネル対応のDCR81からマルチプレクサ85にチャンネル信号CHが入力される点が異なっている。

【0065】図6において、特に、2次元符号化を行うDCR81-1は、複数の符号化・復号化対象データを1ライン又は数ライン毎に時分割で処理し、1つのDCR81-1が複数チャンネルの符号化・復号化処理を行うことが可能とする。

【0066】その場合現在動作中の論理チャンネルを示すチャンネル信号CHをマルチプレクサ85に出力する。

【0067】メモリ設定レジスタ84は、図7に示すように設定され、設定レジスタ0に、DCR81-1の論理チャンネルAを示す設定番号がライトされ、設定レジスタ1に、DCR81-1の論理チャンネルBを示す設定番号がライトされることにより、論理チャンネルA、Bそれぞれに、あたかも各論理チャンネルが独立したDCR81であるかのように、メモリブロックがメモリ87上に割り当てられる。

【0068】マルチプレクサ85は、メモリ87上に構成される仮想的なメモリブロックの各DCR81(論理

チャンネルによるり仮想的なものを含む)への切り替えを、調停部86からのメモリセレクト信号MSEL及びチャンネル信号CHに基づいて、異なる上位アドレスを発生することにより行う。

【0069】このように、第5例によれば、複数の論理チャンネルでの符号化・復号化を行うDCR81が含まれる場合でも、各DCR81(論理チャンネルを含む)が必要とする本数だけ必要に応じて割り付けてメモリ87を共有することができるようになる。なお、第5例と同様の、複数の論理チャンネルを備えたDCR81に対応するための構成は、第1例または第2例にも同様に適用可能である。

【0070】以上の第1ないし第5例の符号化復号化部8は、システム制御部2によりその全体動作が制御される。

【0071】第1ないし第5例の符号化復号化部8を適用したファクシミリ装置1におけるメモリブロックの割付と解放の動作例を下記に示す。

【0072】つまり、システム制御部2は、各通信ユニットによる各通信処理からの、符号化または復号化処理の要求があると、メモリ設定レジスタ84の設定レジスタ0ないしmを読み出し(処理1)、未使用の設定レジスタがある場合は、要求元のDCR81の設定番号を書き込む(処理2)。

【0073】未使用の設定レジスタがない場合は、定期的に前期処理2を実行し、設定レジスタ0ないしmをポーリングする(処理3)。

【0074】そして、設定レジスタを設定できたDCR81(論理チャンネルを含む)による符号化または復号化処理を行う(処理4)。

【0075】前期処理4が終了すると、処理2で設定した設定レジスタに未使用を意味する設定番号を書き込む。

【0076】このように本実施の形態によれば、各DCR81がメモリブロック群またはメモリを共有しつつ、多重通信に対応した符号化・復号化を行うことが可能となる。

【0077】なお、以上説明した実施の形態においては、本発明をG3ファクシミリに適用したが、本発明はそれに限らず、画像データの多重通信を行う画像情報通信装置であれば、同様に適用可能なものである。

【0078】

【発明の効果】請求項1に係る発明によれば、前記各符号化復号化器が、参照メモリ保持用のメモリブロックを個別にもつではなく、多重通信に必要なだけの数のメモリブロックにより構成されるメモリブロック群を共用するようにしたため、必要最低限のメモリ容量で多重通信を実現することが可能となる効果が得られる。

【0079】請求項2に係る発明によれば、請求項1に係る発明と同様な、必要最低限のメモリ容量で多重通信

を実現することが可能となる効果に加えて、前記各符号化復号化器が、参照メモリ保持用のメモリブロックを個別にもつではなく、多重通信に必要なだけの数の1ライン分の容量のメモリブロックにより構成されるメモリブロック群を共用するようにしたため、各符号化復号化器ごとの符号化復号化方式の違いによって必要参照ライン数が異なることに起因して、請求項1に係る発明では発生し得た、メモリブロックの未使用領域の発生がなくなり、前記メモリブロック群の合計のメモリ容量を請求項1に係る発明の場合よりも低減することが可能となる効果が得られる。

【0080】請求項3に係る発明によれば、請求項2に係る発明と同様な、必要最低限のメモリ容量で多重通信を実現することが可能となる効果に加えて、前記各符号化復号化器が、参照メモリ保持用のメモリブロックを個別にもつではなく、多重通信に必要なだけの数の、所定の最大主走査幅で所定の最低主走査画素密度の1ライン分の容量のメモリブロックにより構成されるメモリブロック群を共用するようにしたため、各符号化復号化器ごとに、符号化復号化方式によって必要参照ライン数が異なることや、符号化復号化対象画像データの主走査画素密度が前記所定の最低主走査画素密度の等倍であったり2倍であったりして異なることに起因して、請求項1や2に係る発明では発生し得た、メモリブロックの未使用領域の発生がなくなるため、前記メモリブロック群の合計のメモリ容量を請求項2に係る発明の場合よりも低減することが可能となる効果が得られる。

【0081】請求項4に係る発明によれば、複数のメモリブロックで実現された請求項1と同様の効果を、单一のメモリを使用して実現することができるため、メモリアクセスのための制御信号、データバス等を少なくでき、回路規模の縮小が可能となる効果が得られる。

【0082】請求項5に係る発明によれば、複数のメモリブロックで実現された請求項2と同様の効果を、单一のメモリを使用して実現することができるため、メモリアクセスのための制御信号、データバス等を少なくでき、回路規模の縮小が可能となる効果が得られる。

【0083】請求項6に係る発明によれば、複数のメモリブロックで実現された請求項3と同様の効果を、单一のメモリを使用して実現することができるため、メモリアクセスのための制御信号、データバス等を少なくでき、回路規模の縮小が可能となる効果が得られる。

【0084】請求項7に係る発明によれば、1つの符号化復号化器が複数の符号化復号化対象画像データに対して符号化復号化処理を時分割で行うような、必要な参照ラインの保持に関しては、実質的に複数の符号化復号化

器としてふるまうような状況に対しても、請求項1ないし6の各発明の適用が可能で、各発明の効果を得ることが可能となる効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る画情報通信装置としてのファクシミリ装置の構成を示す図である。

【図2】本発明の実施の形態に係るファクシミリ装置の符号化復号化部の構成について示す図である。

【図3】メモリ設定レジスタの設定例について示す図である。

【図4】メモリ設定レジスタの設定例について示す図である。

【図5】本発明の実施の形態に係るファクシミリ装置の符号化復号化部の、図2に示したものとは別の構成について示す図である。

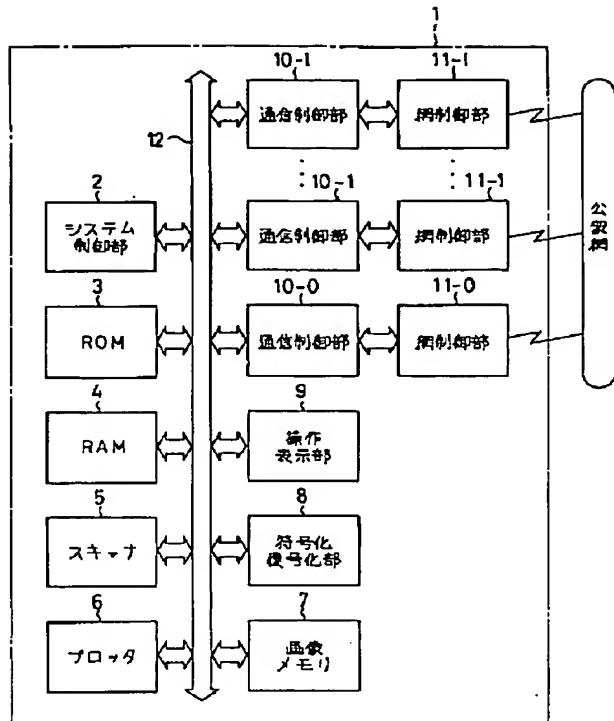
【図6】本発明の実施の形態に係るファクシミリ装置の符号化復号化部の、図2または図5に示したものとは別の構成について示す図である。

【図7】メモリ設定レジスタの設定例について示す図である。

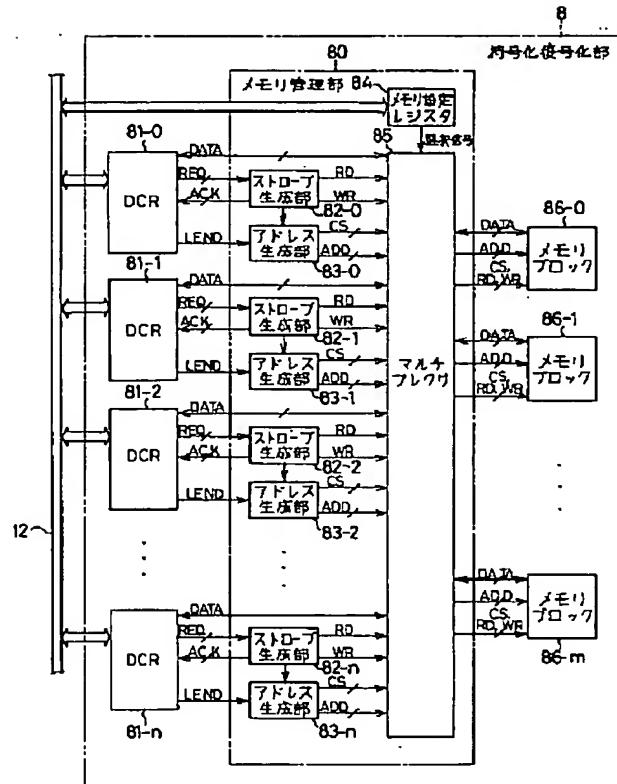
【符号の説明】

- | | |
|-----------------------|------------------|
| 1 | ファクシミリ装置 |
| 2 | システム制御部 |
| 3 | ROM |
| 4 | RAM |
| 5 | スキャナ |
| 6 | プロッタ |
| 7 | 画像メモリ |
| 8 | 符号化復号化部 |
| 9 | 操作表示部 |
| 10-0、10-1、…、10-n | 通信制御部 |
| 11-0、11-1、…、11-n | 網制御部 |
| 12 | システムバス |
| 80 | メモリ管理部 |
| 81-0、81-1、81-2、…、81-n | DCR
(符号化復号化器) |
| 82-0、82-1、82-2、…、82-n | ストローブ生成部 |
| 83-0、83-1、83-2、…、83-n | アドレス生成部 |
| 84 | メモリ設定レジスタ |
| 85 | マルチプレクサ |
| 86-0、86-1、…、86-m | メモリブロック |
| 87 | メモリ |
| 88 | 調停部 |

【図1】



【図2】



【図3】

設定レジスタ0	DCR2
設定レジスタ1	未使用
設定レジスタ2	DCR3
:	:
設定レジスタm	未使用

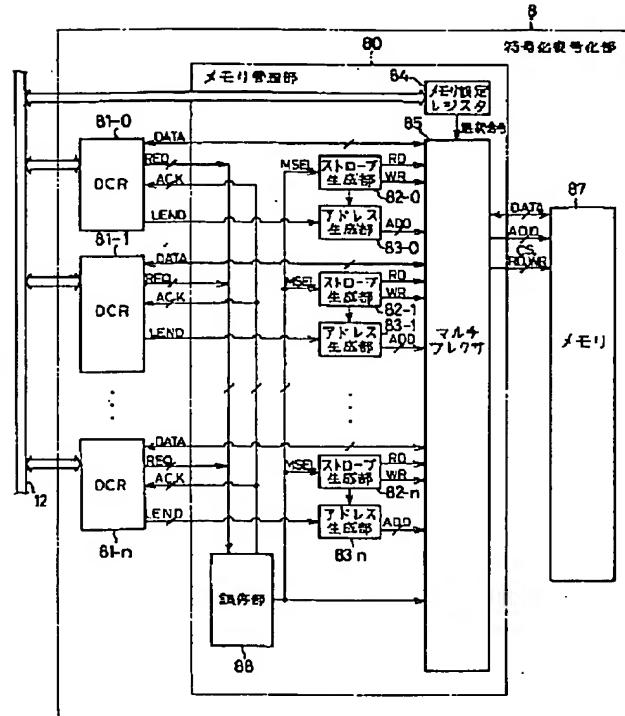
【図4】

設定レジスタ0	DCR2
設定レジスタ1	DCR2
設定レジスタ2	DCR3
:	:
設定レジスタm	未使用

【図7】

設定レジスタ0	DCR1 chA
設定レジスタ1	DCR1 chB
設定レジスタ2	DCR3
:	:
設定レジスタm	未使用

[図5]



【図6】

